

**STACKABLE LAYER, MINI STACK, AND LAMINATED ELECTRONIC MODULE**

**Publication number:** JP2005093980

**Publication date:** 2005-04-07

**Inventor:** OZGUZ VOLKAN H; PEPE ANGEL A; YAMAGUCHI JAMES; ALBERT DOUGLAS M; CAMIEN ANDREW

**Applicant:** IRVINE SENSORS CORP

**Classification:**

**- International:** *H01L23/52; H01L21/3205; H01L21/822; H01L25/065; H01L25/07; H01L25/18; H01L27/04; H01L23/52; H01L21/02; H01L21/70; H01L25/065; H01L25/07; H01L25/18; H01L27/04; (IPC1-7): H01L25/065; H01L21/3205; H01L21/822; H01L25/07; H01L25/18; H01L27/04*

**- European:**

**Application number:** JP20040072804 20040315

**Priority number(s):** US20030663371 20030916

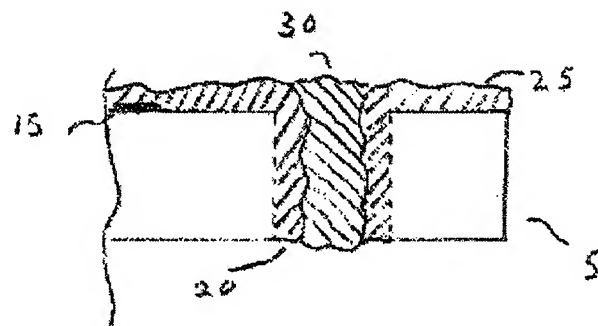
**Report a data error here**

**Abstract of JP2005093980**

**PROBLEM TO BE SOLVED:** To provide a stackable layer and a laminated multilayer module.

**SOLUTION:** An interconnection via in the vertical region is formed by examining and processing each integrated circuit die at a wafer level, a route of an electrical signal is designated from an active surface to an inactive surface of the die. The vias are formed at a prescribed position on each die on the wafer. The wafer is passivated and the vias are filled up with conductive material. Bond pads on the die are exposed and the route redesignation of a metallization from the bond pads and vias selected by a user is performed. If desired, the back surface of the inactive surface of the wafer can be made thin. The wafer is sectioned and a stackable thin layer is formed. These layers are stacked and electrically interconnected in the vertical direction by using the conductive via and a high-density electronic module is formed. These electronic modules are stacked and connected mutually and a larger and complex stack can be formed.

**COPYRIGHT:** (C)2005,JPO&NCIPI



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-93980

(P2005-93980A)

(43) 公開日 平成17年4月7日 (2005. 4. 7)

(51) Int. Cl. <sup>7</sup>

F 1

テーマコード (参考)

H 0 1 L 25/065

H 0 1 L 25/08

Z

5 F 0 3 3

H 0 1 L 21/3205

H 0 1 L 27/04

D

5 F 0 3 8

H 0 1 L 21/822

H 0 1 L 21/88

J

H 0 1 L 25/07

H 0 1 L 25/18

審査請求 未請求 請求項の数 14 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2004-72804 (P2004-72804)

(22) 出願日 平成16年3月15日 (2004. 3. 15)

(31) 優先権主張番号 10/663371

(32) 優先日 平成15年9月16日 (2003. 9. 16)

(33) 優先権主張国 米国 (US)

(71) 出願人 500168279

アービン・センサーズ・コーポレーション

アメリカ合衆国、9 2 6 2 6 - 4 5 2 9

カリフォルニア州、コスタ・メサ、レッド

ヒル・アベニュー、3 0 0 1、ビルディング  
・ 3

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

最終頁に続く

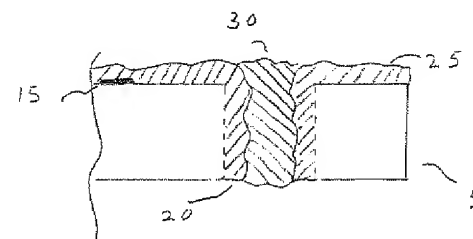
(54) 【発明の名称】 積み重ねが可能な層、ミニスタック、および積層型電子モジュール

(57) 【要約】

【課題】 積み重ねが可能な層および積層型多層モジュールを開示する。

【解決手段】 個々の集積回路ダイがウェハレベルで試験および処理されて、垂直な領域の相互接続ビアを形成し、ダイの活性の面から不活性の面に電気信号を経路指定する。ウェハ上の各ダイ上の予め規定された位置に、ビアが形成される。ウェハがパッシベーションされて、ビアが導電性材料で充填される。ダイ上のボンドパッドが露出されて、ユーザの選択したボンドパッドおよびビアからのメタライゼーションの再経路指定が行なわれる。所望の場合、ウェハの不活性の面の背面を薄くしてよい。次に、ウェハが区分に分割されて、積み重ねが可能な薄い層を形成する。これらの層は積み重ねられ、導電性ビアを用いることによって垂直方向に電氣的に相互接続されて、高密度の電子モジュールを形成する。これらの電子モジュールは、次いで、さらに積み重ねられて相互接続され、より大きく複雑なスタックを形成し得る。

【選択図】 図3



**【特許請求の範囲】****【請求項1】**

活性の面および不活性の面を有する基板を含み、前記活性の面には、能動回路が上に形成され、前記能動回路は、少なくとも1つのボンドパッドを含み、さらに、

前記不活性の面上において予め規定された位置に前記ボンドパッドを電氣的に接続するための手段を含む、積み重ねが可能な層。

**【請求項2】**

前記電氣的接続手段は、前記基板において規定された少なくとも1つのビアを含み、前記ビアは、導電性材料を含む、請求項1に記載の積み重ねが可能な層。

**【請求項3】**

前記導電性材料は、タングステン材料である、請求項2に記載の積み重ねが可能な層。

**【請求項4】**

第1の面および第2の面を有する基板を含み、前記第1の面には、少なくとも1つの電氣的接続点が上に形成され、さらに、

前記不活性の面上において予め規定された位置に前記電氣的接続点を電氣的に接続するための手段を含む、積み重ねが可能な層。

**【請求項5】**

前記電氣的接続手段は、少なくとも1つのビアを含み、前記ビアは、導電性材料を含む、請求項4に記載の積み重ねが可能な層。

**【請求項6】**

前記導電性材料は、タングステン材料である、請求項5に記載の積み重ねが可能な層。

**【請求項7】**

活性の面および不活性の面を有する第1の基板を含み、前記活性の面には、能動回路が上に形成され、前記能動回路は、少なくとも1つのボンドパッドを含み、さらに、

前記不活性の面上において予め規定された位置に前記ボンドパッドを電氣的に接続するための手段と、

能動回路が上に形成された活性の面を有する第2の基板とを含み、前記第2の基板の前記能動回路は、少なくとも1つの電氣的接触点を含み、さらに、

前記第1の基板上の前記予め規定された位置と、前記第2の基板の前記少なくとも1つの電氣的接触点とを電氣的に相互接続するための手段を含み、前記第1の基板および前記第2の基板は、共に接着されてスタックを形成する、ミニスタック。

**【請求項8】**

前記電氣的接触点は、ビアであり、前記ビアは、導電性材料を含む、請求項7に記載のミニスタック。

**【請求項9】**

前記電氣的接触点は、前記第2の基板の前記能動回路と電氣的に通信するボンドパッドである、請求項8に記載のミニスタック。

**【請求項10】**

前記第1の基板の電氣的接続手段は、前記第1の基板において規定された少なくとも1つのビアを含み、前記ビアは、導電性材料を含む、請求項8に記載のミニスタック。

**【請求項11】**

前記導電性材料は、タングステン材料である、請求項8に記載のミニスタック。

**【請求項12】**

請求項7の少なくとも2つのミニスタックと、

前記少なくとも2つのミニスタックの各々を電氣的に相互接続するための手段とを含む、積層型電子モジュール。

**【請求項13】**

前記電氣的相互接続手段は、導電性材料で充填されて、そして、前記少なくとも2つのミニスタックの少なくとも1つにおいて規定された少なくとも1つのビアを含む、請求項

1 2に記載の積層型電子モジュール。

【請求項14】

前記導電性材料は、タングステン材料である、請求項1 3に記載の積層型電子モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

発明の背景

開示されたこの発明は、一般に、高密度の積層型電子モジュールに関する。この発明は、特に、垂直領域のビアを用いて相互接続される、積層型集積回路ダイに関する。

【背景技術】

【0002】

産業界は、高密度の電子回路が極めて小さな空間しか占めないデバイスを求め続けている。衛星および宇宙の適用例、軍備開発および監視、ならびに消費者電子工学はすべて、より一層小型の電子回路を必要としている。電子回路の層を積み重ねて、それらの層を垂直に相互接続することにより、単位面積当りの回路の密度が著しく上昇することが確認されている。関連する3次元の積層の発明の例が、共通の譲受人であるアービン・センサーズ・コーポレーション (Irvine Sensors Corp.) に発行された米国特許第6, 560, 169号、米国特許第4, 525, 921号、および米国特許第4, 646, 128号の特許に開示されている。これらの特許の各々は、この明細書において引用により援用される。

【0003】

ギガヘルツの範囲で作動する、高速の電子工学の応用例は、電子移動に対する「飛行時間」、インダクタンス、およびキャパシタンスに関する、回路設計上の特有の考慮事項を生じる。高速回路内でリードの長さを短くすることにより、これらの設計上の考慮事項をできるだけ減じることを助ける。実装されていない個々の集積回路ダイを積み重ねることにより、回路の超高密度とリードの最短長さを達成しながら、極めて小さな形状因子が可能になる。しかしながら、個々の回路ダイを積み重ねることは、不本意にも、不良な層をスタックが含んでいる場合の歩留まりの問題だけではなく、積層型集積回路ダイのインターフェイス、ワイヤボンディング、および／またはサイドバスに関する複雑な問題も含む。加えて、ワイヤボンディングインターフェイスの相互接続によってリードの長さが一層長くなり、関連するクロストークおよび電子の飛行時間の問題を伴う。積層型集積回路上のサイドバスの相互接続を形成することは難しく、最終組立の前の製造プロセス中にスタック内の層が1つでも不良であるか、または損傷を受けている場合、スタック全体を使用することができなくなってしまう。

【0004】

したがって、歩留まりの問題と、製造上の考慮事項と、ワイヤボンディング、サイドバス、および不必要なリードの長さに関連する問題とを減じる、効率の良かつ拡大縮小が可能な集積回路ダイの積み重ねを可能にすることが、当該技術では必要とされる。

【特許文献1】米国特許第6, 560, 169号

【特許文献2】米国特許第4, 525, 921号

【特許文献3】米国特許第4, 646, 128号

【発明の開示】

【課題を解決するための手段】

【0005】

発明の概要

この発明は、実装されていない、予備試験を行なった個々のダイの層を含む。個々の集積回路ダイの上に、1つ以上の垂直な相互接続ビアがウェハレベルで形成されて、それらが積み重ねられたときに、ダイが後に相互接続され得るようにする。

【0006】

ウェハの表面は、適切な絶縁性材料でパッシベーションされて、ビアは、導電材料で充

填される。ダイの個々のボンドパッドが、パッシベーション層を通じてウェハレベルで露出される。露出されたボンドパッドおよび／または相互接続ビアの間の所望の導電性トレースが、確立された製法を用いてウェハレベルで設けられる。所望であれば、ウェハの不活性の面は、従来の薄型化技術を用いて背面を薄くすることもできる。

【0007】

次に、個々のダイまたはダイのアレイがウェハから切断されて、ともに接着され、予め規定されたビアおよびボンドパッドにおいて電氣的に相互接続されて、2～4の層を含む「ミニスタック」を形成する。適切であれば、はんだのリフローを行なって、ビア接着インターフェイスにはんだの電氣的接続を設ける。代替的に、Z-導電性エポキシを用い、層を接着して相互接続することができる。これらのミニスタックは試験されて、機能層を確実に含むようにされる、より大きなスタックに組立てられる。スタックの最下層におけるダイの不活性の面は、外部回路に相互接続され得るビアまたはボールボンドを有し得る。

【0008】

この態様において、最短のリードの長さで、かつ、組立または使用中に損傷を受けやすい外付けのサイドバス導体を使用することなく、個々の回路ダイからなる、形状因子が極めて小さな多層スタックが得られる。

【0009】

したがって、この発明の目的は、極めて信頼性が高く、そして、垂直領域のビアを用いることによって隣接する層に相互接続され得る、積み重ねが可能な集積回路ダイの層を提供することである。この発明のさらに別の目的は、低コストで大量の試験および組立が容易であり、そして、外付けの導電性トレースがないために損傷を受けにくい、このような層を含む多層モジュールを提供することである。

【発明を実施するための最良の形態】

【0010】

発明の詳細な説明

次に、いくつかの図面において同じ番号が同じ要素を示す図面を参照すると、図1は、個々の集積回路ダイ5が上に形成された半導体ウェハ1等の基板を示す。図2は、ウェハ1の個々のダイ5の一層詳細な図を示し、能動回路10がダイ5上に形成され、そしてボンディングパッド15が能動回路10と電氣的に接続してダイ5およびダイ5から信号およびパワーを経路指定していることを示す。

【0011】

この発明の好ましい実施例において、ダイ5は、スタック内での機能ダイの使用を確保するために、および、ウェハ上の機能ダイまたはダイの組（アレイ）を特定するために、ウェハレベルで試験される。加えて、この発明の融通性により、ウェハ上の個々のダイおよびサイズが等しいダイアレイの合致した層の両方を、提案されたこの方法の下で、並行して処理することができる。

【0012】

図1は、さらに、業界標準のドライエッチングまたはレーザドリルの技術を用いて、基板材料に依存して、ウェハ1上の各ダイ5の予め規定された位置に形成された1つ以上のビア20を示す。ビア20は、好ましくは直径が1～10ミクロンであり、基板を完全に通って延び、基板を通った高アスペクト比のビアを形成することのできる任意の製法を用いて形成され得る。

【0013】

ウェハ上のすべてのダイ全体にわたり、ウェハのパッシベーションが行なわれて、回路およびビアを絶縁してビアのキャパシタンスの制御を行なう。図3は、ビア20およびボンドパッド15上にパッシベーション層25を設けた後における、ダイ5の一部の断面を示す。好ましい実施例では、シリコン酸化物または熱酸化物等の適切な誘電体層の原子層堆積（ALD）を用いて、誘電体厚さおよび関連するビアのキャパシタンスを制御するALDの能力により、ピンホールのない被覆を確保する。

## 【0014】

図3で分かるように、次に、たとえば化学気相堆積（CVD）によって与えられるタングステン材料を用いて、ビア内に導電性材料30が堆積されて、ダイ5を通った導電性経路を形成する。

## 【0015】

ビアの直径、誘電体厚さ、およびビアの導体の直径を制御するために、ビアを形成し、誘電体を適用し、導電性ビアを充填するプロセスを変化させ得る特有の能力により、ビアの箇所および層に、ならびにビアの箇所および層内に、コンデンサおよび抵抗器等のさまざまな受動素子を現場で形成することも可能になる。

## 【0016】

次に、図4を参照すると、従来のフォトリソグラフィの技術を用いて、ウェハ上における各ダイ5上のパッシベーション層25を通して、予め規定されたビア20およびボンドパッド15が露出される。業界標準の技術を用いて、導電性のメタライゼーション相互接続35が形成されて、ダイ上の所望の充填されたビアおよび／またはボンドパッドを相互接続する。

## 【0017】

ウェハレベルのビア／ボンドパッドの相互接続の後に、ウェハの不活性の面は、任意に、当該技術で周知の研削および／または遠隔大気圧プラズマエッチング等の機械的または化学的な技術を用いて背面が薄くされ得る（図示せず）。

## 【0018】

機能ダイまたはダイアレイを特定するためのさらなる試験が、個々のダイまたはダイアレイへとウェハを区分に分割する前に、好ましくは行なわれる。

## 【0019】

ダイ5は、相互接続および積み重ねの前に、ウェハ1から区分に分割される。

## 【0020】

図5を参照すると、区分に分割されたダイ、好ましくは2〜4個のダイが接着剤40と共に接着されて、予め規定されたビアおよび／またはボンドパッドにおいて電氣的に相互接続される。代替的な好ましい実施例は、AIテック（AI Tech）から利用可能なZTP8090FP等のZー導電性エポキシ、または、はんだリフロー技術を用いて、上層のビアおよびボンドパッドを下層のボンドパッドまたはビアに相互接続して、ダイの「ミニスタック」を形成することを含む。相互接続にはんだが用いられる場合、エポキシ・テクノロジー（Epoxy Technology）からのエポテック（Epotek）353等の適切なエポキシを用いて層を接着し、スタックをリフローして電氣的な接続を形成する。Zー導電性エポキシを用いることにより、望ましくは、層に対して必要な接着性および電氣的な接続を与える。

## 【0021】

代替的な実施例では、スタック内のパワーの散逸またはスタックの熱管理が問題となるスタック内に、マイクロヒートパイプを挿入することができる。

## 【0022】

この発明の下で認識できるように、ユーザは、異質のまたは均質の集積回路ダイを選択的に処理して、モジュール式の、拡大縮小が可能な、ビルディングブロック式の回路を形成することができる。この態様において、各層は、所望の回路（演算増幅器、ADC等）のビルディングブロックを形成するように設計され得、このビルディングブロックは、次いで、所望の複雑さを有する最終的な回路に組立てられる。代替的に、この工程で形成されたミニスタックが、最終的な所望の回路を生じ得る。

## 【0023】

さらに別の好ましい代替的な実施例は、特に、効率のよいボンドパッドおよびビアの位置、ならびに部分的な回路の「ユニットセル」層をもたらず回路設計およびダイのレイアウトを含み、この「ユニットセル」層は、層として組立てられて、ビアが回路の完全な機能性を実現するのに必要な全ユニットセルの相互接続をもたらず、完全な回路を形成する

ことができる。

【0024】

最終的なスタックの歩留まりを最大にするために、さらなる組立にさらに入る前に、ミニスタックの試験が行なわれる。代替的な好ましい実施例では、ミニスタックを接着して、共に電氣的に相互接続して、より高い回路密度を有する積層型電子モジュールを形成することができる。

【0025】

ビアの形成および充填、ボンドパッドの露出、相互接続のメタライゼーション、および層の相互接続の方式に関する設計およびレイアウトが、層と層との間のボンドパッドおよびビアの位置決めを考慮して、層が組立てられたときに、ボンドパッドおよびビアの正確かつ信頼できる相互接続を確保しなければならないことに注意することが重要である。

【0026】

徐々に、すなわち、ダイからミニスタック、さらに最終的なスタックに、ダイまたはダイアレイを試験して積み重ねることにより、歩留まりが大いに上昇する。なぜなら、この発明の下において、製造周期の初期に、1枚でも不良な層または不良なミニスタックが特定されるためであり、これにより、完成された多層スタックの損失が生じない。

【0027】

上の説明から、この出願に開示された装置および方法が、明細書の導入部において要約された機能上の著しい利点をもたらすことが明らかであろう。

【0028】

前掲の請求項は、開示された特定の実施例を包含するためだけではなく、先行技術によって可能になった最大の範囲および包括性と共に、ここに説明した発明の概念をも包含するように意図される。

【0029】

当業者は、この発明の精神および範囲から逸脱することなく、多くの代替例および変更例を形成することができる。したがって、例示した実施例が、例示のためにだけ明示されており、前掲の請求項が規定するこの発明を限定すると考えるべきではないことを理解されたい。たとえば、請求項の要素が特定の組合せで以下に明示されているが、この発明が、より少ないか、より多いか、または異なった要素からなる他の組合せを含むことを明確に理解されたい。これらの要素は、このような組合せで権利を請求されていない場合も、上に開示される。

【0030】

この発明と、そのさまざまな実施例とを説明するためにこの明細書で用いられる用語は、一般に規定された意味として理解されるだけではなく、この明細書における特定の規定により、一般に規定された意味の範囲を超える構造、材料または作用も含むべきである。したがって、この明細書の内容において2つ以上の意味を含むものとして1つの要素が理解され得る場合、請求項におけるその要素の使用が、明細書およびその用語自体によって支持される可能な限りの意味を包括するものとして理解されるべきである。

【0031】

したがって、前掲の請求項の用語または要素の定義は、字義通りに明示された要素の組合せを含むだけではなく、実質的に同じ結果を得るための実質的に同じ方法で実質的に同じ機能を果たすための等価の構造、材料または作用のすべてを含むように、この明細書で規定される。したがって、この意味において、前掲の請求項の要素の任意の1つに対して2つ以上の要素の等価の代替物が生じてよく、または、1つの要素が請求項の2つ以上の要素に取って換わり得ることが考えられる。特定の組合せで作用するものとして要素が上で説明されて、そのように最初に権利が請求されているものの、場合によっては、請求された組合せからの1つ以上の要素を、その組合せから削除することができ、また、請求された組合せが、下位の組合せまたは下位の組合せの変形例に向けられ得ることを明確に理解されるべきである。

【0032】

当業者によって検討される、請求された主題からの非現実的な変更例も、それが現在公知であっても、後に企図されたものであっても、請求項の範囲内に等価に存在することが明らかに意図される。したがって、現在または後に当業者によって認識される明らかな代替例も、規定された要素の範囲内にあるものと規定される。

【0033】

したがって、請求項は、上で具体的に図示されて説明されたもの、概念上等価なもの、および、明らかに代用され得るものだけでなく、この発明の本質的な概念を実質的に組込んだものも含むと理解されるべきである。

【図面の簡単な説明】

【0034】

【図1】 個々の集積回路ダイが上に形成されたウェハの平面図である。

【図2】 能動回路、ボンドパッド、およびビアが上に形成された、この発明の集積回路ダイを示す図である。

【図3】 誘電体層を設けて導電性ビアを充填した後の、この発明のダイの断面図である。

【図4】 ボンドパッドの露出およびビアへの電気的な相互接続の後の、図3のダイの断面図である。

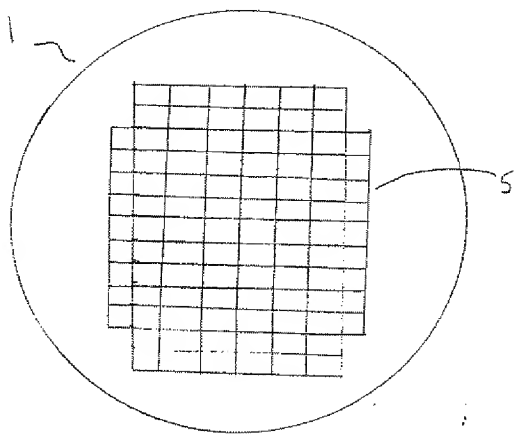
【図5】 電気的に相互接続されたミニスタックにおける、この発明の2つの層の図である。

【符号の説明】

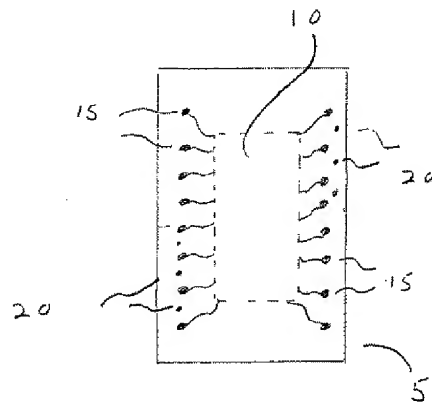
【0035】

5 ダイ、15 ボンドパッド、20 ビア、30 導電性材料。

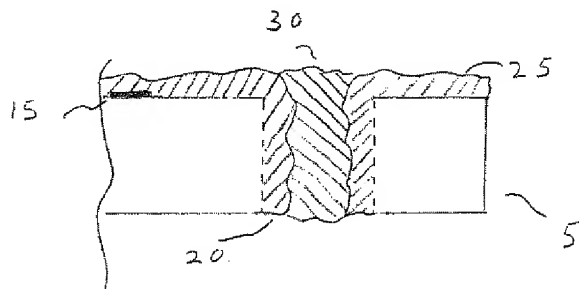
【図1】



【図2】

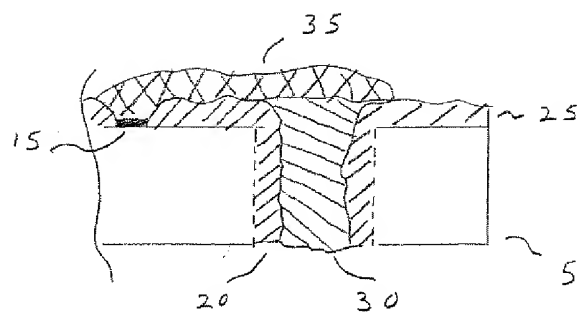


【図3】

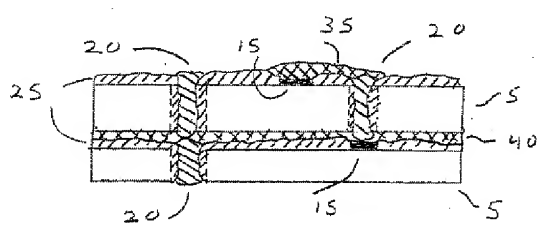




【図4】



【図5】



(51)Int.Cl.<sup>7</sup> F I テーマコード (参考)  
H O 1 L 27/04

(74)代理人 100098316  
弁理士 野田 久登

(74)代理人 100109162  
弁理士 酒井 将行

(72)発明者 フォルカン・エイチ・オズガッツ  
アメリカ合衆国、9 2 6 5 6 カリフォルニア州、アリソ・ビエホ、ライアン・リッジ、3 4

(72)発明者 エンジェル・エイ・ペーペ  
アメリカ合衆国、9 2 7 0 5 カリフォルニア州、ランチョ・パロス・ベルデス、ロッキングホース・ロード、5 5

(72)発明者 ジェームズ・ヤマグチ  
アメリカ合衆国、9 2 6 7 7 カリフォルニア州、ラグナ・ニゲル、キャッスル・ロード、2 9 4 6 2

(72)発明者 ダグラス・モーリス・アルバート  
アメリカ合衆国、9 2 8 8 6 カリフォルニア州、ヨーバ・リンダ、ブラム・ツリー・レーン、1 7 7 4 3

(72)発明者 アンドリュー・カミン  
アメリカ合衆国、9 2 6 2 6 カリフォルニア州、コスタ・メサ、ホワイト・オーク・ストリート、1 6 0 5

F ターム(参考) 5F033 HH19 JJ19 MM30 NN40 QQ07 QQ37 TT07 UU01 VV07  
5F038 CA10 CA16 CD18 EZ20